**НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ**

**«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО»**

**ІНСТИТУТ ПРИКЛАДНОГО СИСТЕМНОГО АНАЛІЗУ**

**КАФЕДРА СИСТЕМНОГО ПРОЕКТУВАННЯ**

**Дисціпліна:**

**«Комп'ютерна схемотехніка»**

**Звіт**

**з лабораторної роботи №2**

**на тему: Дослідження функціонування тригерів**

**Варіант 11**

Робота виконана студентом гр. ДА-92

Насікан Д. Ю.

20.04.2020

**Керівник**

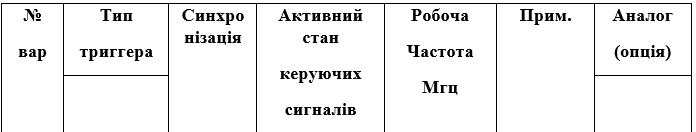
**Доц. Стіканов В. Ю.**

**Київ 2021**

**ЗМІСТ**

1. **ЗАВДАННЯ..................................................................................................3**
2. **ТЕОРЕТИЧНІ ВІДОМОСТІ.....................................................................4**
3. **ХІД РОБОТИ................................................................................................5**
4. **ВИСНОВОК...............................................................................................11**

**ЗАВДАННЯ**





**ПЛАН ВИКОНАННЯ РОБОТИ**

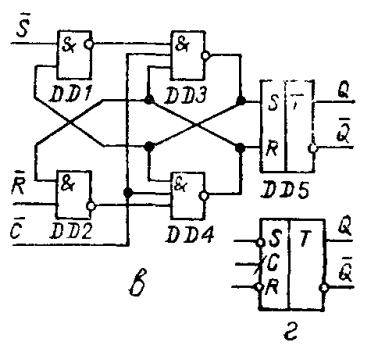
1. Побудувати схему пристрою згідно варіанта
2. Створити завдання на моделювання
3. Змоделювати залежності
4. Створити звіт(Microsoft office, file : ДA\*\*\_Призвище\_Lab\_2.doc)
5. Переслати звіт на сервер 10.12.42.155:home/visitor/Report/Da\*\*/Lab2

**Інструментальні засоби:** Система Cadence.

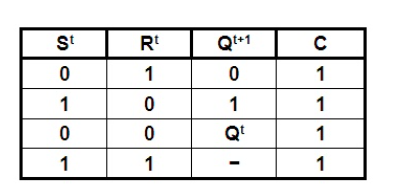
**ТЕОРЕТИЧНІ ВІДОМОСТІ**

**Тригер -** базовий елемент пам'яті, який зберігає один біт інформації.

**RS-тригер**, або **SR-тригер**— тригер, який зберігає свій попередній стан при нульових входах та змінює свій вихідний стан при подачі на один з його входів одиниці.



При подачі одиниці на вхід **S** (від *Set* — встановити) вихідний стан стає рівним логічної одиниці. А при подачі одиниці на вхід **R** (від *Reset* — скинути) вихідний стан стає рівним логічному нулю. Стан, при якому на обидва входи **R** і **S** одночасно подані логічні одиниці, в найпростіших реалізаціях є забороненим (оскільки вводить схему в режим генерації), в складніших реалізаціях RS-тригер переходить в третій стан **QnQ**=00. Одночасне зняття двох «1» практично неможливе. При знятті однієї з «1» RS-тригер переходить в стан, що визначається другою «1». Таким чином RS-тригер має три стани, з яких два стійких (при знятті сигналів керування RS-тригер залишається у встановленому стані) і одне нестійке (при знятті сигналів керування RS-тригер не залишається у встановленому стані, а переходить в один з двох стійких станів). RS-тригер використовується для створення сигналу з позитивним та негативним фронтами, окремо керованими за допомогою стробів, рознесених в часі.

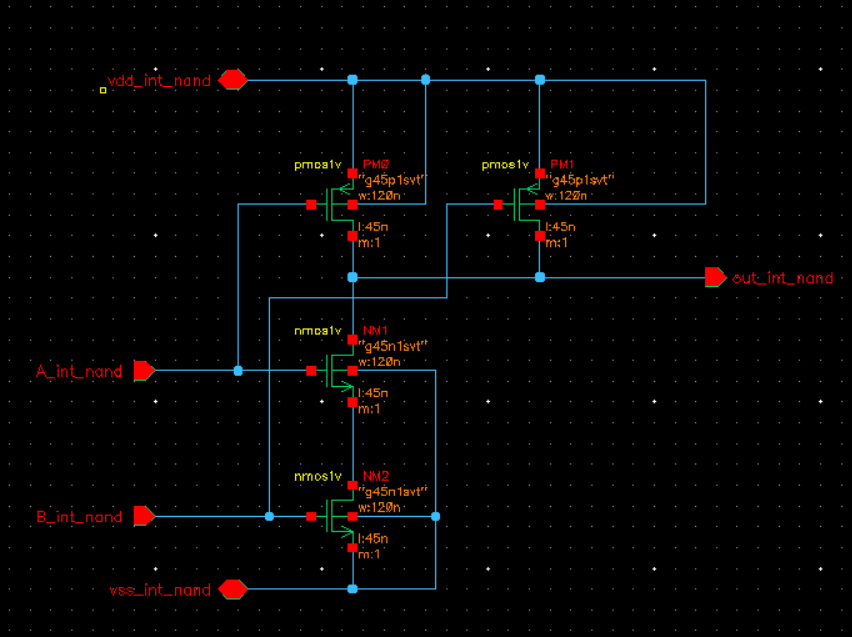
****

**ХІД РОБОТИ**

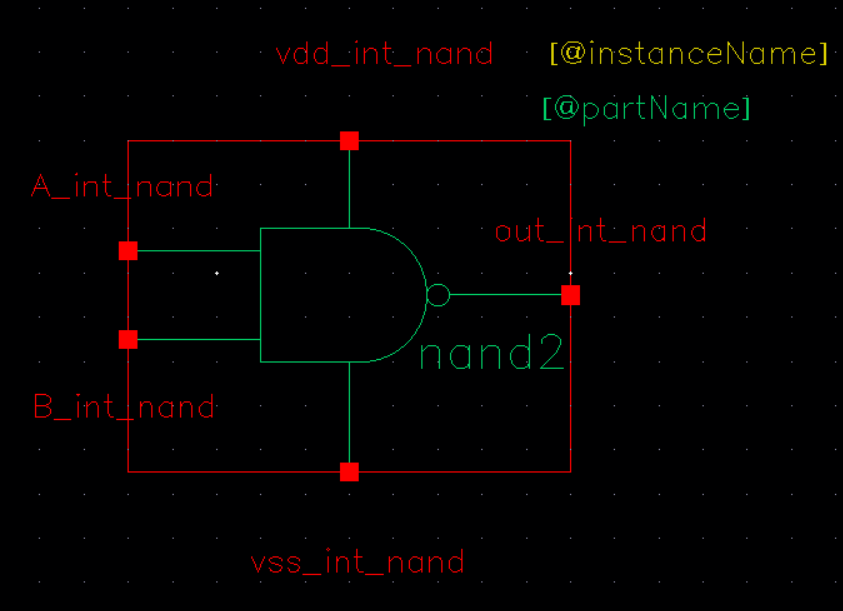
1. Знайдемо значення періоду роботи тригеру за відомою частотою:
2. Знайдемо час, через який встановляться вихідні сигнали.
3. Визначимо максимальне значення затримки тригеру та час затримки на логічному елементі
4. Округлюємо значення до меншого цілого та отримуємо

**NAND GATE**

За допомогою системи cadence та бібліотеки gpdk045 створемо логічний елемент NAND на два входи.

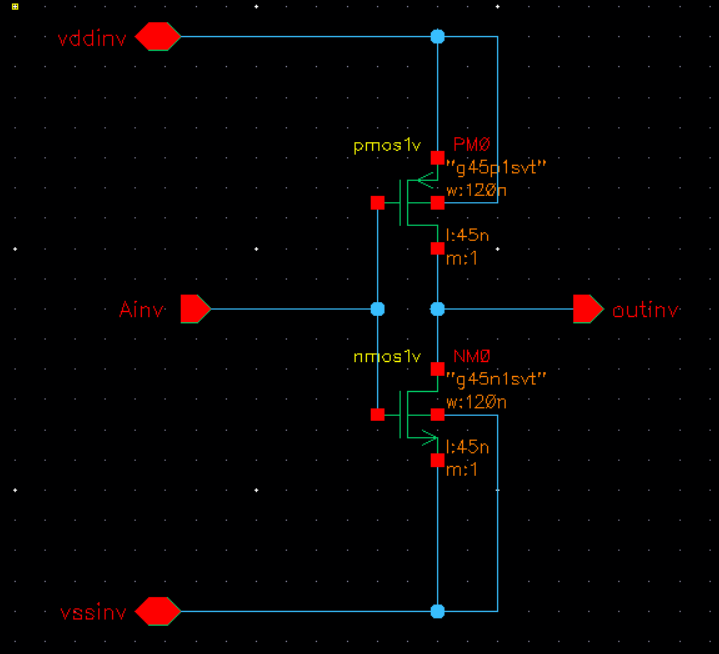


Символ:

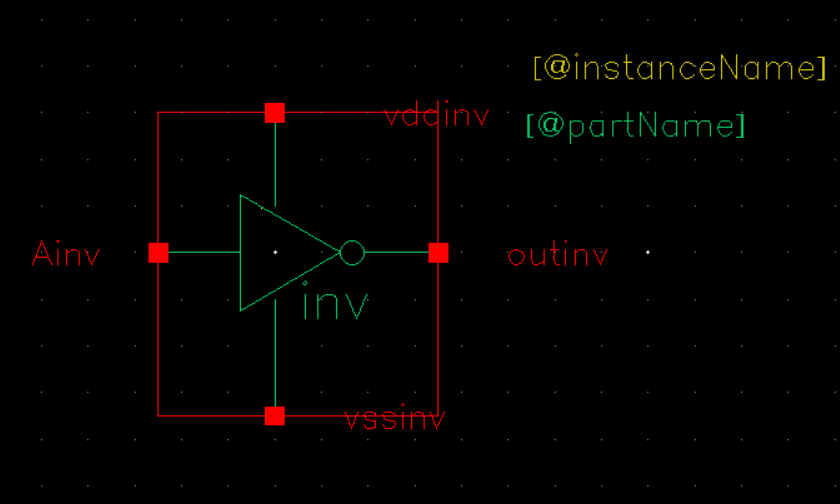


**INV GATE**

За допомогою системи cadence та бібліотеки gpdk045 створемо інвертор.

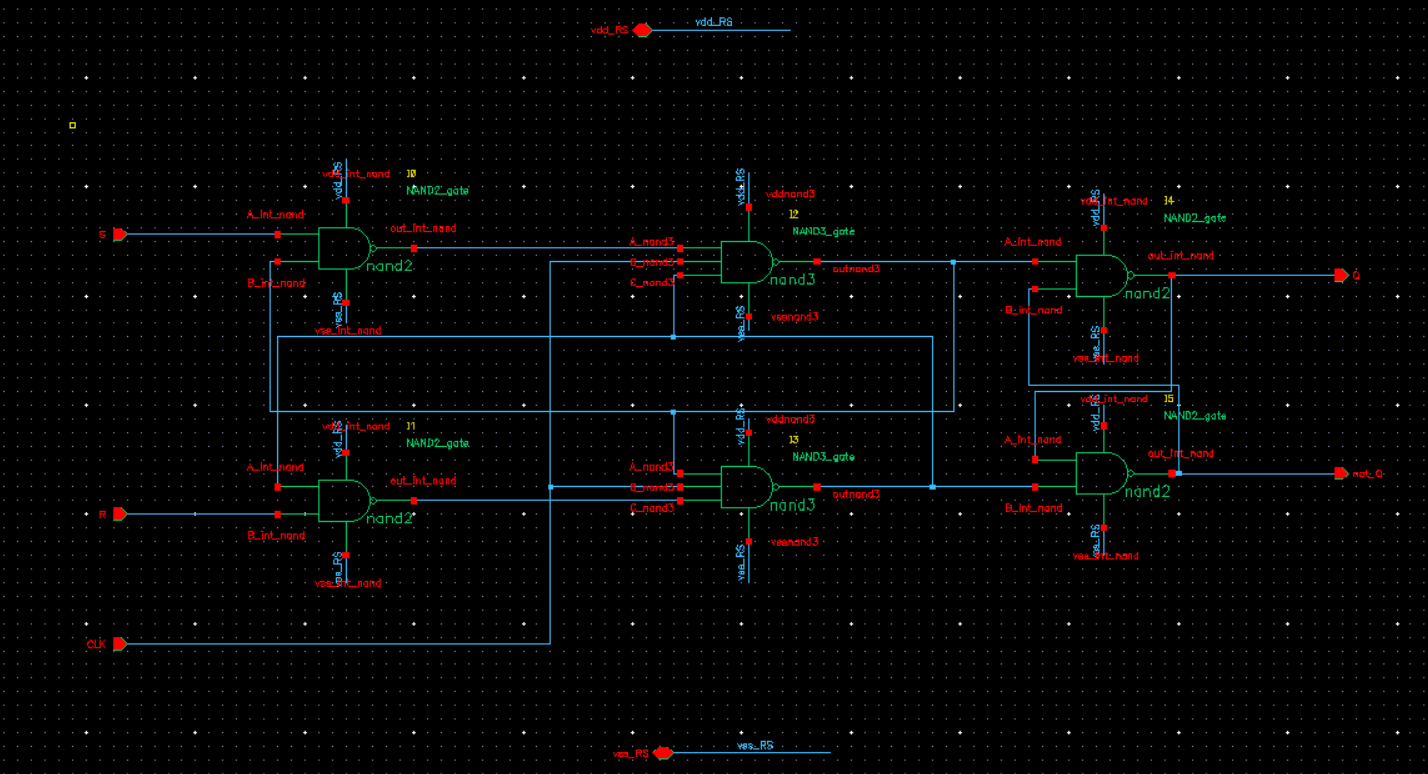


Символ:

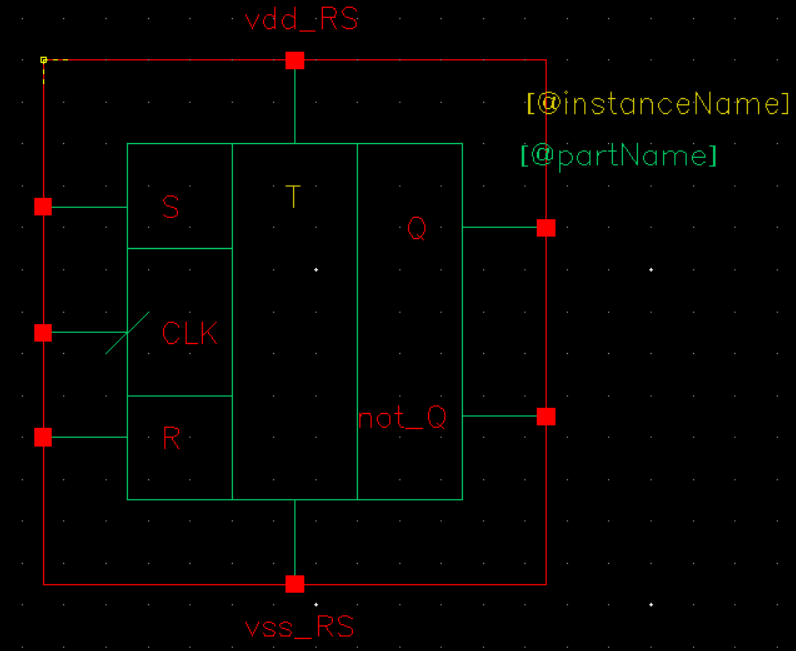


**RS ТРИГЕР**

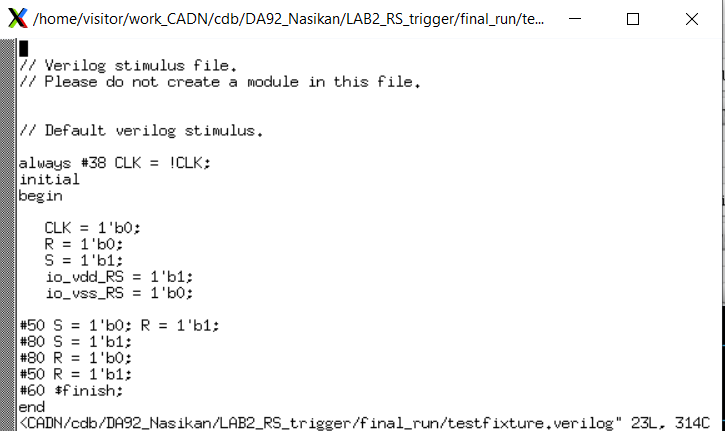
Використовуючи створені логічні елементи, побудуємо тригер:



Символ:



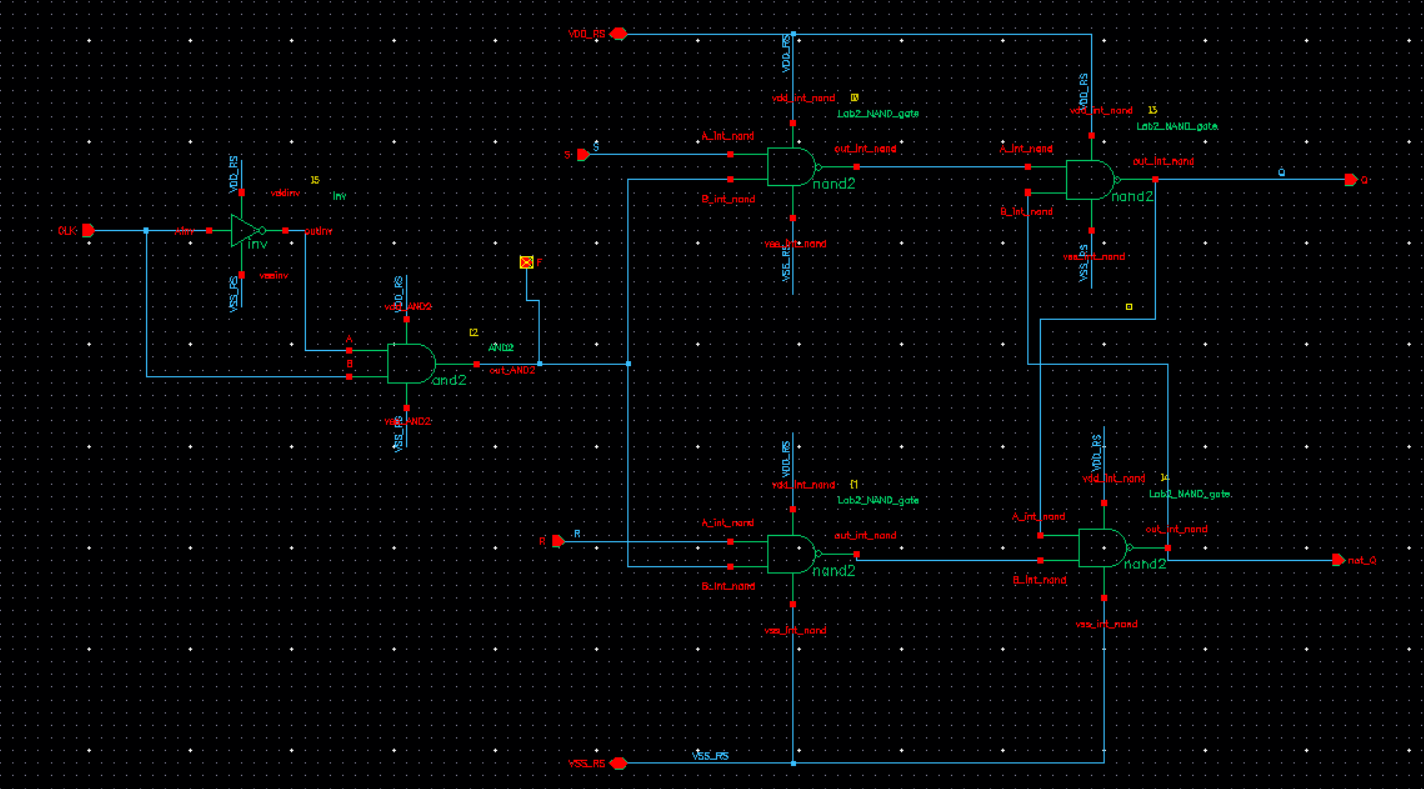
Змоделюємо залежності у середовищі NC-Verilog для перевірки коректності роботи у логічному режимі:



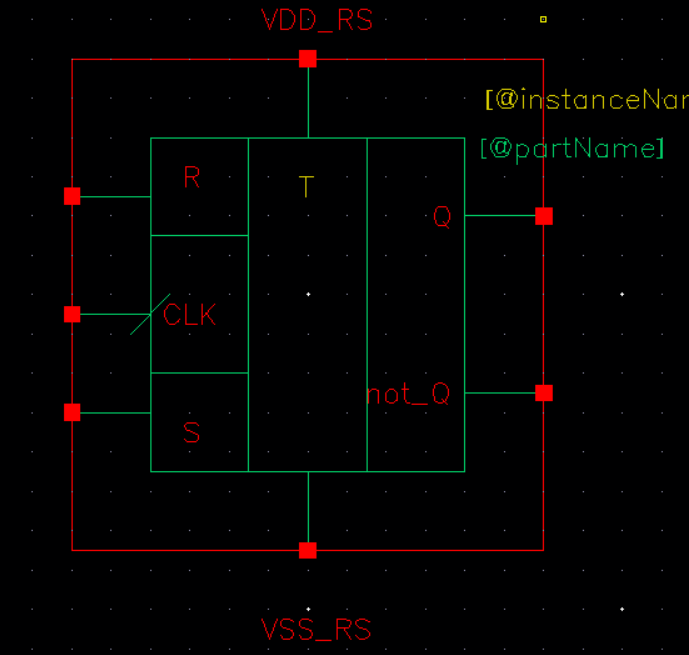


Як бачимо, тригер переключається по передньому фронту. Однак, у режимі зберігання сигналів синхронізація відбувається не за фронтом, а по рівню логічної одиниці. (на рисунку виділено маркерами)

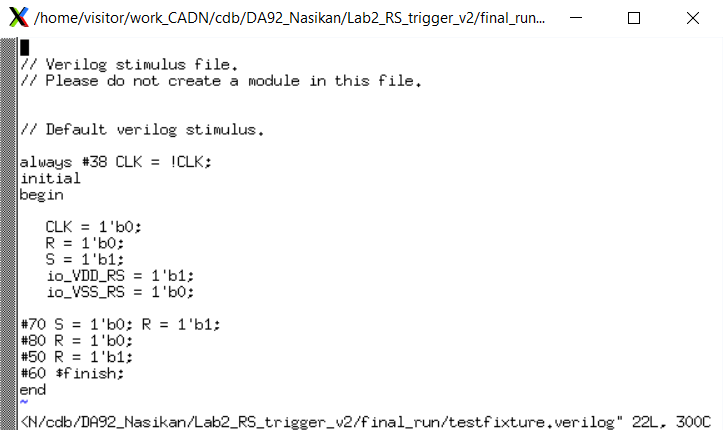
Розглянемо альтернативну будову RS тригера з синхронізацією по передньому фронту.

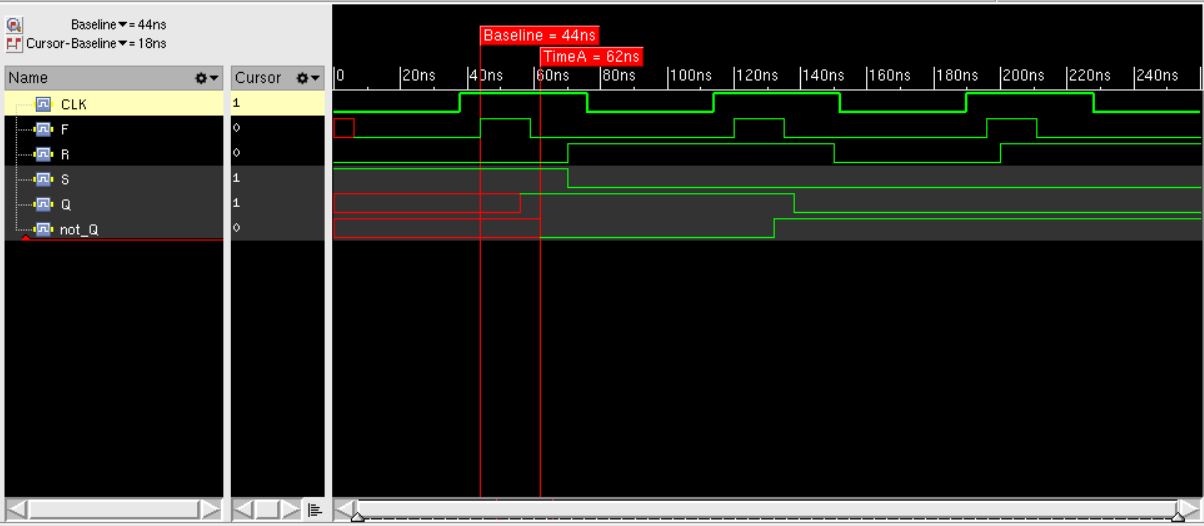


Символ:



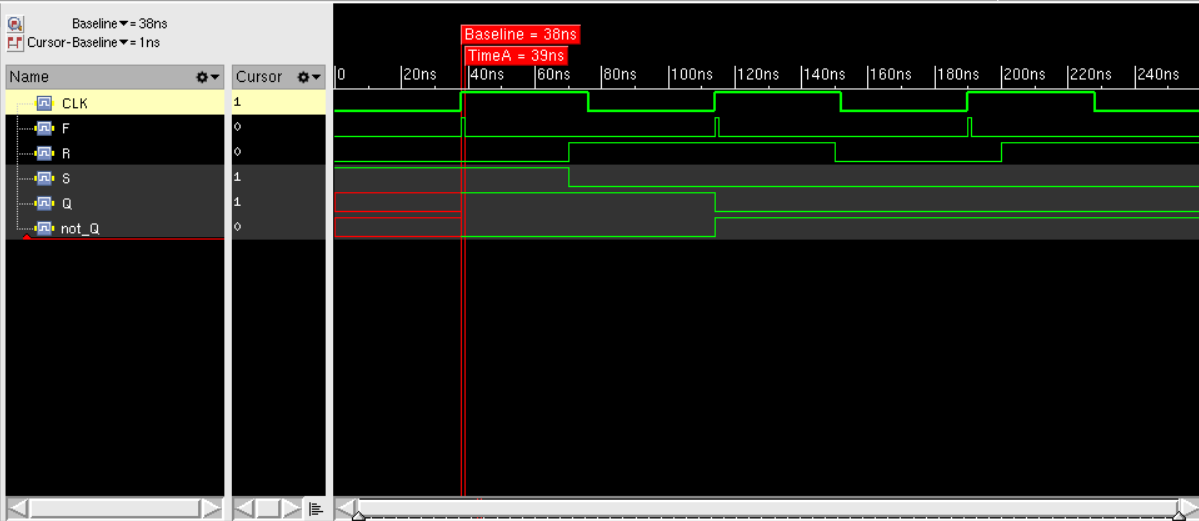
Виконаємо тестування схеми у середовищі NC-Verilog:





Тригер використовує затримку на інверторі, щоб забезпечити переключення сигналів по передньому фронту. Але, як видно з діаграми, при даних значеннях затримок на логічних елементах, для встановлення вихідних сигналів затримка на інверторі повинна бути досить великою, і тоді тригер, по-суті, працює по логічному рівні одиниці сигналу F, що триває довше, ніж фронт синхросигналу.

Однак, якщо змоделювати роботу тригера на затримках, що наближаються до нуля, тобто в ідеальному стані, то ситуація змінюється.



Як бачимо, при таких низьких затримках, затримка на інверторі теж може бути не виликою, що створює дуже короткий імпульс на F, час якого майже можна прирівняти до тривалості переднього фронту.

**ВИСНОВКИ**

Під час виконання цієї лабораторної роботи було спроектовано однотактний RS тригер, що синхронізується по передньому фронту. Було розглянуто 2 різні будови тригера.

Перший тригер синхронізується по фронту лише частково, як бачимо з діаграми, коли на входи подається комбінація зберігання, то тригер не блокується, що дозволяє змінити його стан (змінюючи комбінації вхідних сигналів) по всьому рівню одиниці. З цього випливає, що для успішного збереження попереднього стану, сигнали на входах R та S тригера повинні бути на рівні 1 на протязі усього рівня логічної одиниці синхросигналу, а не тільки в момент зміни його фронту.

У другій же моделі RS-тригера успішна синхронізація фронтом залежить від значень затримок на логічних елементах. Даний тригер використовує затримку на інверторі, щоб створити короткий позитивний імпульс, який розблокує логічні елементи, і дозволить запис у тригер. Відповідно, для успішного запису, позитивний імпульс повинен продовжуватися, поки сигнал не пройде через усі елементи тригера. З цього випливає, що затримка на інверторі повинна щонайменше дорівнювати

Тобто, даний тригер показує хорошу роботу при малих значеннях затримок, коли тривалість сигналу, що формується завдяки інвертору можна співставити з тривалістю переходу синхросигналу з 0 на 1. В інших же випадках, фактично, синхронізація відбувається за рівнем логічної одиниці.